

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005 年 6 月 16 日 (16.06.2005)

PCT

(10) 国際公開番号  
WO 2005/055326 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/786, 21/336  
 (21) 国際出願番号: PCT/JP2004/018525  
 (22) 国際出願日: 2004 年 12 月 6 日 (06.12.2004)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (30) 優先権データ:  
     特願2003-407935 2003 年 12 月 5 日 (05.12.2003) JP  
     特願2003-408254 2003 年 12 月 5 日 (05.12.2003) JP  
     特願2003-408112 2003 年 12 月 5 日 (05.12.2003) JP  
 (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND

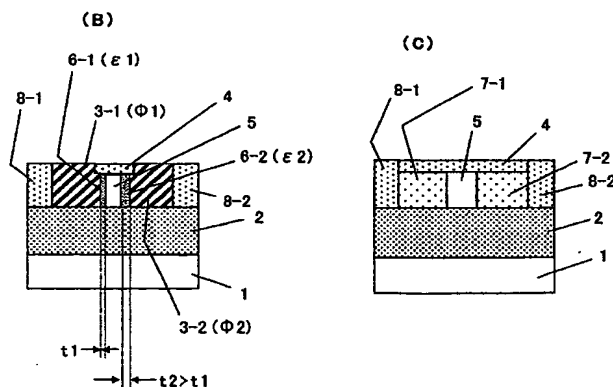
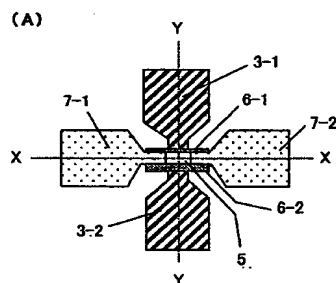
TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区霞が関一丁目3番1号 Tokyo (JP).

- (72) 発明者; および  
 (75) 発明者/出願人 (米国についてのみ): 柳 永助 (LIU, Yongxun) [CN/JP]; 〒305-8568 茨城県つくば市梅園1-1-2 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 昌原 明植 (MASAHARA, Meishoku) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-2 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 石井 賢一 (ISHII, Kenichi) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-2 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 関川 敏弘 (SEKIGAWA, Toshihiro) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-2 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 鈴木

[続業有]

(54) Title: DUAL-GATE FIELD EFFECT TRANSISTOR

(54) 発明の名称: 二重ゲート電界効果トランジスタ



(57) Abstract: A dual-gate field effect transistor includes two gate insulation films (6-1, 6-2) sandwiching a vertical channel (5) standing on a substrate (1) and arranged between a source (7-1) and a drain (7-2), from a direction orthogonal to the carrier running direction of the vertical channel; and two gate electrodes (3-1, 3-2) respectively facing the vertical channel (5) via the gate insulation films (6-1, 6-2). The gate insulation films (6-1, 6-2) have different thickness values  $t_1, t_2$ . It is also possible that the gate insulation films (6-1, 6-2) have different dielectric constants  $\epsilon_1, \epsilon_2$ , or the gate electrodes (3-1, 3-2) have different work functions  $\Phi_1, \Phi_2$ . Thus, it is possible to set the threshold value voltage of the dual-gate field effect transistor to a desired value when manufacturing the transistor. Furthermore, it is possible to prevent the problem of increase of the sub-threshold coefficient which occurs in the conventional technique.

(57) 要約: 基板1に対し起立した関係でソース7-1とドレイン7-2の間に設けられた縦型チャンネル5のキャリア走行方向とは直交する方向から、当該縦型チャンネル5を一对で挟むゲート絶縁膜6-1, 6-2と、これら一对のゲート絶縁膜6-1, 6-2の各々を介してそれぞれが縦型チャンネル5に臨む一对のゲート電極3-1, 3-2とを有する二重ゲート電界効果トランジスタにおいて、一对のゲート絶縁膜6-1, 6-2の厚み $t_1, t_2$ を互いに異ならせる。一对のゲート絶縁膜6-1, 6-2の誘電率を $\epsilon_1, \epsilon_2$ を互いに異ならせることも、一对のゲート電極

3-1, 3-2の仕事関数 $\Phi_1, \Phi_2$ を互いに異ならせることもできる。これにより、当該二重ゲート電界効果トランジスタの閾値電圧を製造時に所望の値に設定できる。しかも、従来例には認められたような、サブスレッショルド係数の増大と言う問題からも逃れられる。



英一 (SUZUKI, Eiichi) [JP/JP]; 〒305-8568 茨城県 つくば市 梅園 1-1-2 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP).

(74) 代理人: 福田 賢三, 外 (FUKUDA, Kenzo et al.); 〒105-0003 東京都 港区 西新橋一丁目 6 番 13 号 柏屋ビル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。